

02P01877

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-102446

(43)Date of publication of application : 13.04.2001

(51)Int.Cl.

H01L 21/768  
H01L 21/3205

(21)Application number : 11-277563

(71)Applicant : NEC CORP

(22)Date of filing : 29.09.1999

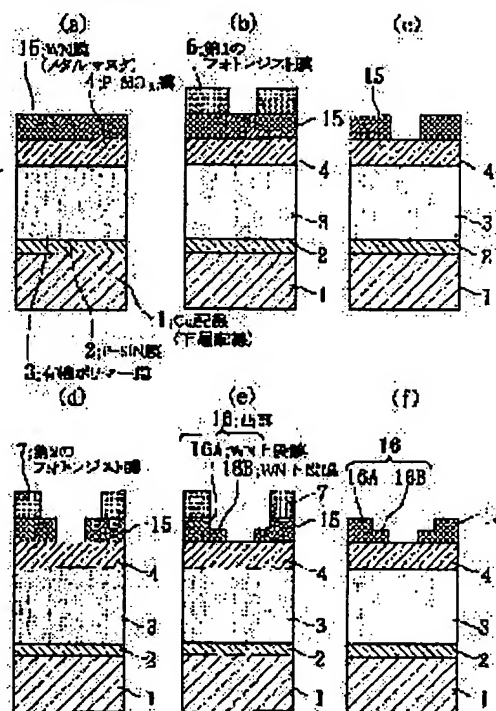
(72)Inventor : USAMI TATSUYA

## (54) MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To form a good dual damascene wiring structure with no low permittivity film exposed to a plasma ashing process when photo-resist films used for forming a via hole and upper layer wiring channel are removed.

**SOLUTION:** A WN film 15 which is to be a metal mask is formed on an interlayer insulating film comprising a low permittivity film. Then on the WN film 15, a first photo-resist film 5 so patterned as to form a via hole and a second photo-resist film 7 so patterned so to form an upper layer wiring channel are sequentially formed. After the WN film 15 is patterned to such form as corresponding to the patterns of first and second photo-resist films 5 and 7, the via hole and the upper layer wiring channel are patterned at the inter-layer insulating film using the WN film 15 as a mask.



## LEGAL STATUS

[Date of request for examination]

09.08.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3348706

[Date of registration]

13.09.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-102446

(P2001-102446A)

(43) 公開日 平成13年4月13日 (2001.4.13)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームト <sup>*</sup> (参考)
H 0 1 L	21/768	H 0 1 L 21/90	A 5 F 0 3 3
	21/3205	21/88	M
		21/90	P

審査請求 有 請求項の数 8 O L (全 12 頁)

(21) 出願番号 特願平11-277583

(22) 出願日 平成11年9月29日 (1999.9.29)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 宇佐美 達矢

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100099830

弁理士 西村 征生

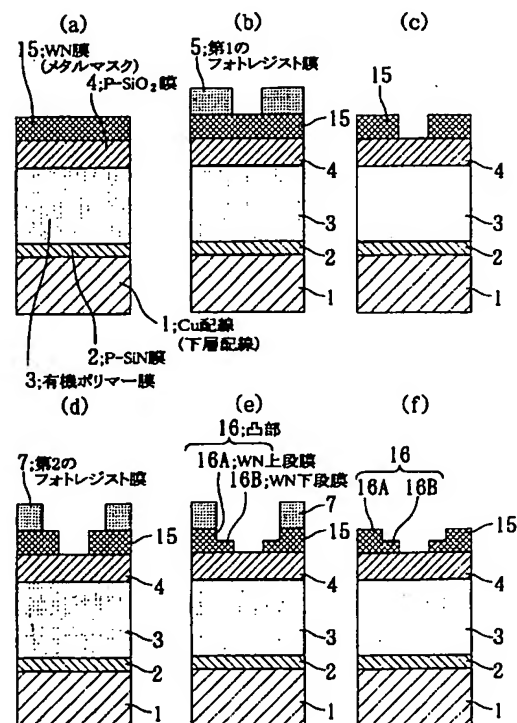
最終頁に続く

## (54) 【発明の名称】 半導体装置の製造方法

## (57) 【要約】

【課題】 ビアホール及び上層配線用溝を形成するために用いたそれぞれのフォトリソ膜を除去する際に、低誘電率膜をプラズマアッシング処理にさらさないで良質なデュアルダマシン配線構造を形成する。

【解決手段】 開示される半導体装置の製造方法は、低誘電率膜を含む層間絶縁膜上にメタルマスクとなるWN膜15を形成した後、このWN膜15上にビアホールを形成する形状にパターニングされた第1のフォトリソ膜5及び上層配線用溝を形成する形状にパターニングされた第2のフォトリソ膜7を順次に形成し、WN膜15を第1及び第2のフォトリソ膜5、7のパターンに応じた形状にパターニングした後、このWN膜15をマスクとして用いて層間絶縁膜にビアホール及び上層配線用溝をパターニングする。



## 【特許請求の範囲】

【請求項1】 Cu又はCuを主成分とする下層配線を形成した半導体基板上に低誘電率膜を含む層間絶縁膜を形成した後、該層間絶縁膜に上層配線用溝及びビアホールを形成し、前記上層配線用溝及びビアホール内にそれぞれCu又はCuを主成分とする導電材料を埋め込んで同時に該導電材料から成る上層配線及びビアコンタクトを形成する半導体装置の製造方法であって、

前記層間絶縁膜上に金属マスクを形成した後、該金属マスク上に前記ビアホールを形成する形状にパターニングされた第1のフォトリソ膜及び前記上層配線用溝を形成する形状にパターニングされた第2のフォトリソ膜を順次に形成し、該金属マスクを前記第1及び第2のフォトリソ膜のパターンに応じた形状にパターニングした後、該金属マスクを用いて前記層間絶縁膜に前記ビアホール及び上層配線用溝をパターニングする以前に、前記第1及び第2のフォトリソ膜を除去することを特徴とする半導体装置の製造方法。

【請求項2】 Cu又はCuを主成分とする下層配線を形成した半導体基板上に低誘電率膜を含む層間絶縁膜を形成した後、該層間絶縁膜に上層配線用溝及びビアホールを形成し、前記上層配線用溝及びビアホール内にそれぞれCu又はCuを主成分とする導電材料を埋め込んで同時に該導電材料から成る上層配線及びビアコンタクトを形成する半導体装置の製造方法であって、

前記層間絶縁膜上に金属マスクを形成する金属マスク形成工程と、

前記金属マスク上に前記ビアホールを形成する形状にパターニングされた第1のフォトリソ膜を形成する第1のフォトリソ膜形成工程と、

前記金属マスクを前記第1のフォトリソ膜のパターンに応じた形状にパターニングした後、前記第1のフォトリソ膜を等方性プラズマアッシング処理により除去する第1のフォトリソ膜除去工程と、

前記金属マスク上に前記上層配線用溝を形成する形状にパターニングされた第2のフォトリソ膜を形成する第2のフォトリソ膜形成工程と、

前記金属マスクを前記第2のフォトリソ膜のパターンに応じた形状にパターニングした後、前記第2のフォトリソ膜を等方性プラズマアッシング処理により除去する第2のフォトリソ膜除去工程と、

前記金属マスクを用いて前記層間絶縁膜を順次にパターニングして、前記ビアホール及び上層配線用溝を形成する層間絶縁膜パターニング工程とを含むことを特徴とする半導体装置の製造方法。

【請求項3】 Cu又はCuを主成分とする下層配線を形成した半導体基板上に低誘電率膜を含む層間絶縁膜を形成した後、該層間絶縁膜に上層配線用溝及びビアホールを形成し、前記上層配線用溝及びビアホール内にそれぞれCu又はCuを主成分とする導電材料を埋め込んで

同時に該導電材料から成る上層配線及びビアコンタクトを形成する半導体装置の製造方法であって、

前記層間絶縁膜上に第1の金属及び第2の金属を順次に形成して、該第1及び第2の金属の積層体から成る金属マスクを形成する金属マスク形成工程と、

前記金属マスク上に前記ビアホールを形成する形状にパターニングされた第1のフォトリソ膜を形成する第1のフォトリソ膜形成工程と、

前記金属マスクの前記第1及び第2の金属を前記第1のフォトリソ膜のパターンに応じた形状にパターニングした後、前記第1のフォトリソ膜を等方性プラズマアッシング処理により除去する第1のフォトリソ膜除去工程と、

前記金属マスク上に前記上層配線用溝を形成する形状にパターニングされた第2のフォトリソ膜を形成する第2のフォトリソ膜形成工程と、

前記金属マスクの前記第2の金属を前記第2のフォトリソ膜のパターンに応じた形状にパターニングした後、前記第2のフォトリソ膜を等方性プラズマアッシング処理により除去する第2のフォトリソ膜除去工程と、

前記金属マスクを用いて前記層間絶縁膜を順次にパターニングして、前記ビアホール及び上層配線用溝を形成する層間絶縁膜パターニング工程とを含むことを特徴とする半導体装置の製造方法。

【請求項4】 前記層間絶縁膜を、前記下層配線上にCu拡散バリア膜を形成する第1の段階と、該Cu拡散バリア膜上に前記低誘電率膜を形成する第2の段階と、該低誘電率膜上に絶縁保護膜を形成する第3の段階とにより形成することを特徴とする請求項2又は3記載の半導体装置の製造方法。

【請求項5】 前記金属マスクの構成材料として、窒化タングステン、タンタル、タングステン、窒化タンタル、チタン、窒化チタン又はタンステンシリサイドを用いることを特徴とする請求項2、3又は4記載の半導体装置の製造方法。

【請求項6】 前記Cu拡散バリア膜の構成材料として、プラズマ窒化シリコン又はプラズマ炭化シリコンを用いることを特徴とする請求項2乃至5のいずれか1に記載の半導体装置の製造方法。

【請求項7】 前記低誘電率膜の構成材料として、有機ポリマー、HSQ、有機SOG又はポーラスシリカを用いることを特徴とする請求項2乃至6のいずれか1に記載の半導体装置の製造方法。

【請求項8】 前記絶縁保護膜の構成材料として、プラズマ酸化シリコン、プラズマ窒化シリコン、プラズマ酸窒化物又はプラズマ炭化シリコンを用いることを特徴とする請求項2乃至7のいずれか1に記載の半導体装置の製造方法。

【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、半導体装置の製造方法に係り、詳しくは、デュアルダマシン (Dual Damascene) 配線構造を有する半導体装置の製造方法に関する。

## 【0002】

【従来の技術】半導体装置の代表として知られているマイクロプロセッサやメモリ等のLSI (大規模集積回路) は、集積度の向上につれて個々の素子の寸法は益々微細化されてきており、これに伴って、各半導体領域から引き出される配線の幅及び配線間隔も微細化されてきている。さらに、配線密度が高くなってきているので、配線を半導体基板の厚さ方向に多層にわたって積層するようにした多層配線が採用されてきている。

【0003】ところで、上述のように配線間隔が微細化されてくると、配線間容量が無視できなくなり、特に高速向きのLSIでは動作速度に大きな影響を受ける。このため、配線間に形成する層間絶縁膜としては低誘電率膜を用いる等の対策がなされている。また、動作速度は、配線抵抗によっても左右される。従来、LSIを含めた半導体装置の配線材料としては、一般にアルミニウム (Al) またはアルミニウムを主成分とするアルミニウム系金属が用いられてきているが、より高速化を図るためにはアルミニウム系金属より抵抗の小さい導電材料が必要になる。このような観点から、配線としてアルミニウム系金属に代えてこれよりも抵抗の低い銅 (Cu) を用いることが一般的になりつつある。

【0004】ここで、上述したような多層配線における微細化配線に適した構造として、従来から、デュアルダマシン配線構造が知られている。このデュアルダマシン配線構造は、予めCu下層配線を形成した半導体基板上に層間絶縁膜を形成した後、この層間絶縁膜に上層配線用溝及びビアホールを形成し、次に上層配線用溝及びビアホール内にそれぞれCuを埋め込んで同時にCu上層配線及びCuビアコンタクトを形成して、Cuビアコンタクトを通じてCu下層配線とCu上層配線とを接続するように構成したものである。

【0005】図7及び図8は、上述のようなデュアルダマシン配線構造を有する従来の半導体装置の製造方法の構成を工程順に示す工程図である。以下、図7及び図8を参照して、同半導体装置の製造方法について工程順に説明する。まず、図7 (a) に示すように、半導体基板 (図示せず) 上に形成された下層配線としてのCu配線51上に、平行平板のプラズマCVD (Chemical Vapor Deposition) 法により、膜厚が略50nmのP-SiN (プラズマ窒化シリコン) 膜52を形成した後、回転塗布法により、P-SiN膜52上に膜厚が略400nmの有機ポリマー膜53を形成する。次に、窒素雰囲気中で、略400℃で略1時間、焼成処理を行う。次に、同プラズマCVD法により、有機ポリマー膜53上に膜厚

が略100nmのP-SiO<sub>2</sub> (プラズマ酸化シリコン) 膜54を形成する。ここで、P-SiN膜52はCu拡散バリア膜として、有機ポリマー膜53は低誘電率膜として、P-SiO<sub>2</sub>膜54は絶縁保護膜としてそれぞれ用いている。また、P-SiN膜52、有機ポリマー膜53及びP-SiO<sub>2</sub>膜54から成る積層膜は層間絶縁膜を構成している。

【0006】次に、図7 (b) に示すように、P-SiO<sub>2</sub>膜54上にフォトレジストを塗布した後、後述するようにビアホールを形成する形状にパターニングされた第1のフォトレジスト膜55を形成する。次に、図7 (c) に示すように、第1のフォトレジスト膜55をマスクとして、ドライエッチングにより、P-SiO<sub>2</sub>膜54を選択的に除去する。次に、図7 (d) に示すように、第1のフォトレジスト膜55をマスクとして、酸素系ガスを用いたプラズマエッチングにより、有機ポリマー膜53を選択的に除去して、ビアホールの一部となる幅がW1のホール56を形成する。このとき、第1のフォトレジスト膜55を、有機ポリマー膜53の選択的な除去と同時にアッシングして除去する。すなわち、第1のフォトレジスト膜55のアッシングを、異方性プラズマアッシング処理により行う。

【0007】次に、図7 (e) に示すように、P-SiO<sub>2</sub>膜54上にフォトレジストを塗布した後、後述するように上層配線用溝を形成する形状にパターニングされた第2のフォトレジスト膜57を形成する。次に、図7 (f) に示すように、第2のフォトレジスト膜57をマスクとして、ドライエッチングにより、P-SiO<sub>2</sub>膜54を選択的に除去する。続いて、第2のフォトレジスト膜57をマスクとして、酸素系ガスを用いたプラズマエッチングにより、有機ポリマー膜53を選択的に除去して、幅がW2 (>W1) で、ホール56よりも浅い上層配線用溝58を形成する。このとき、第2のフォトレジスト膜57を、第1のフォトレジスト膜55の場合と同様に、有機ポリマー膜53の選択的な除去と同時にアッシングして除去する。すなわち、第2のフォトレジスト膜57のアッシングも、異方性プラズマアッシング処理により行う。

【0008】次に、図8 (g) に示すように、プラズマエッチングにより、P-SiN膜52をエッチバックしてCu配線51を選択的に露出する。これにより、ホール56がCu配線51の表面まで延長されてビアホール59が形成される。次に、図8 (h) に示すように、イオン化スパッタ法により、上層配線用溝58及びビアホール59を含む全面にCu拡散バリア膜としてのTa<sub>2</sub>N<sub>5</sub> (窒化タンタル) 膜60を形成した後、図8 (i) に示すように、スパッタ法により、このTa<sub>2</sub>N<sub>5</sub>膜60上に膜厚が略50nmのCuシード膜61を形成する。

【0009】次に、図8 (j) に示すように、めっき法により、Cuシード膜61上に膜厚が略800nmのC

uめっき膜62を形成した後、図8(k)に示すように、CMP (Chemical Mechanical Polishing) 法により、P-SiO<sub>2</sub>膜54の表面から上部に形成されているCuめっき膜62、Cuシード膜61及びTa<sub>2</sub>N膜60を除去して平坦化する。これにより、上層配線用溝58及びビアホール59内にそれぞれCuめっき膜62を埋め込んで同時にCu上層配線63及びCuビアコンタクト64を形成して、デュアルダマシン配線構造を完成させる。

#### 【0010】

【発明が解決しようとする課題】しかしながら、従来の半導体装置の製造方法では、ビアホールを形成するために用いたフォトリソ膜及び上層配線用溝を形成するために用いたフォトリソ膜を除去する際に、低誘電率膜が異方性プラズマアッシング処理にさらされるので、フォトリソ膜の残渣が発生し易い、という問題がある。すなわち、図7(d)に示したように、酸素系ガスを用いたプラズマエッチングにより、低誘電率膜である有機ポリマー膜53を選択的に除去すると同時に第1のフォトリソ膜55を除去する際に、及び図8(f)に示したように、酸素系ガスを用いたプラズマエッチングにより、低誘電率膜である有機ポリマー膜53を選択的に除去すると同時に第2のフォトリソ膜57を除去する際に、それぞれのフォトリソ膜55、57が残渣として残り易くなる。そして、この残渣がこの後のプロセスに影響するようになるので、良質のデュアルダマシン配線構造の形成が困難になる。

【0011】上述のようなフォトリソ膜55、57の残渣が発生しないようにするには、オーバーアッシングを行えばよいが、このように処理した場合には、ビアホール59及び上層配線用溝56の形状が悪化する傾向にあるために、適用は困難となる。また、それぞれのフォトリソ膜55、57の除去には、異方性プラズマアッシング処理に代えて等方性プラズマアッシング処理を適用すると効果的となるが、この場合にも、上述と同様な欠点が避けられなくなる。

【0012】この発明は、上述の事情に鑑みてなされたもので、ビアホール及び上層配線用溝を形成するために用いたそれぞれのフォトリソ膜を除去する際に、低誘電率膜をプラズマアッシング処理にさらさないで良質なデュアルダマシン配線構造を形成することができるようにした半導体装置の製造方法を提供することを目的としている。

#### 【0013】

【課題を解決するための手段】上記課題を解決するために、請求項1記載の発明は、Cu又はCuを主成分とする下層配線を形成した半導体基板上に低誘電率膜を含む層間絶縁膜を形成した後、該層間絶縁膜に上層配線用溝及びビアホールを形成し、上記上層配線用溝及びビアホール内にそれぞれCu又はCuを主成分とする導電材料

を埋め込んで同時に該導電材料から成る上層配線及びビアコンタクトを形成する半導体装置の製造方法に係り、上記層間絶縁膜上にメタルマスクを形成した後、該メタルマスク上に上記ビアホールを形成する形状にパターニングされた第1のフォトリソ膜及び上記上層配線用溝を形成する形状にパターニングされた第2のフォトリソ膜を順次に形成し、該メタルマスクを上記第1及び第2のフォトリソ膜のパターンに応じた形状にパターニングした後、該メタルマスクを用いて上記層間絶縁膜に上記ビアホール及び上層配線用溝をパターニングする以前に、上記第1及び第2のフォトリソ膜を除去することを特徴としている。

【0014】請求項2記載の発明は、Cu又はCuを主成分とする下層配線を形成した半導体基板上に低誘電率膜を含む層間絶縁膜を形成した後、該層間絶縁膜に上層配線用溝及びビアホールを形成し、上記上層配線用溝及びビアホール内にそれぞれCu又はCuを主成分とする導電材料を埋め込んで同時に該導電材料から成る上層配線及びビアコンタクトを形成する半導体装置の製造方法に係り、上記層間絶縁膜上にメタルマスクを形成するメタルマスク形成工程と、上記メタルマスク上に上記ビアホールを形成する形状にパターニングされた第1のフォトリソ膜を形成する第1のフォトリソ膜形成工程と、上記メタルマスクを上記第1のフォトリソ膜のパターンに応じた形状にパターニングした後、上記第1のフォトリソ膜を等方性プラズマアッシング処理により除去する第1のフォトリソ膜除去工程と、上記メタルマスク上に上記上層配線用溝を形成する形状にパターニングされた第2のフォトリソ膜を形成する第2のフォトリソ膜形成工程と、上記メタルマスクを上記第2のフォトリソ膜のパターンに応じた形状にパターニングした後、上記第2のフォトリソ膜を等方性プラズマアッシング処理により除去する第2のフォトリソ膜除去工程と、上記メタルマスクを用いて上記層間絶縁膜を順次にパターニングして、上記ビアホール及び上層配線用溝を形成する層間絶縁膜パターニング工程とを含むことを特徴としている。

【0015】請求項3記載の発明は、Cu又はCuを主成分とする下層配線を形成した半導体基板上に低誘電率膜を含む層間絶縁膜を形成した後、該層間絶縁膜に上層配線用溝及びビアホールを形成し、上記上層配線用溝及びビアホール内にそれぞれCu又はCuを主成分とする導電材料を埋め込んで同時に該導電材料から成る上層配線及びビアコンタクトを形成する半導体装置の製造方法に係り、上記層間絶縁膜上に第1のメタル及び第2のメタルを順次に形成して、該第1及び第2のメタルの積層体から成るメタルマスクを形成するメタルマスク形成工程と、上記メタルマスク上に上記ビアホールを形成する形状にパターニングされた第1のフォトリソ膜を形成する第1のフォトリソ膜形成工程と、上記メタル

マスクの上記第1及び第2のメタルを上記第1のフォトレジスト膜のパターンに応じた形状にパターンニングした後、上記第1のフォトレジスト膜を等方性プラズマアッシング処理により除去する第1のフォトレジスト膜除去工程と、上記メタルマスク上に上記上層配線用溝を形成する形状にパターンニングされた第2のフォトレジスト膜を形成する第2のフォトレジスト膜形成工程と、上記メタルマスクの上記第2のメタルを上記第2のフォトレジスト膜のパターンに応じた形状にパターンニングした後、上記第2のフォトレジスト膜を等方性プラズマアッシング処理により除去する第2のフォトレジスト膜除去工程と、上記メタルマスクを用いて上記層間絶縁膜を順次にパターンニングして、上記ビアホール及び上層配線用溝を形成する層間絶縁膜パターンニング工程とを含むことを特徴としている。

【0016】請求項4記載の発明は、請求項2又は3記載の半導体装置の製造方法に係り、上記層間絶縁膜を、上記下層配線上にCu拡散バリア膜を形成する第1の段階と、該Cu拡散バリア膜上に上記低誘電率膜を形成する第2の段階と、該低誘電率膜上に絶縁保護膜を形成する第3の段階とにより形成することを特徴としている。

【0017】請求項5記載の発明は、請求項2、3又は4記載の半導体装置の製造方法に係り、上記メタルマスクの構成材料として、窒化タングステン、タンタル、タングステン、窒化タンタル、チタン、窒化チタン又はタンステンシリサイドを用いることを特徴としている。

【0018】請求項6記載の発明は、請求項2乃至5のいずれか1に記載の半導体装置の製造方法に係り、上記Cu拡散バリア膜の構成材料として、プラズマ窒化シリコン又はプラズマ炭化シリコンを用いることを特徴としている。

【0019】請求項7記載の発明は、請求項2乃至6のいずれか1に記載の半導体装置の製造方法に係り、上記低誘電率膜の構成材料として、有機ポリマー、HSQ、有機SOG又はポーラスシリカを用いることを特徴としている。

【0020】請求項8記載の発明は、請求項2乃至7のいずれか1に記載の半導体装置の製造方法に係り、上記絶縁保護膜の構成材料として、プラズマ酸化シリコン、プラズマ窒化シリコン、プラズマ酸窒化物又はプラズマ炭化シリコンを用いることを特徴としている。

#### 【0021】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態について説明する。説明は実施例を用いて具体的にを行う。

#### ◇第1実施例

図1～図3は、この発明の第1実施例である半導体装置の製造方法の構成を工程順に示す工程図である。以下、図1～図3を参照して、同半導体装置の製造方法につい

て工程順に説明する。まず、図1(a)に示すように、半導体基板(図示せず)上に形成された下層配線としてのCu配線1上に、平行平板のプラズマCVD法により、膜厚が略50nmのP-SiN膜2を形成した後、回転塗布法により、P-SiN膜2上に膜厚が略800nmの有機ポリマー膜3を形成する。次に、窒素雰囲気中で、略400℃で略1時間、焼成処理を行う。次に、同プラズマCVD法により、有機ポリマー膜3上に膜厚が略100nmのP-SiO<sub>2</sub>膜4を形成する。ここで、P-SiN膜2はCu拡散バリア膜として、有機ポリマー膜3は低誘電率膜として、P-SiO<sub>2</sub>膜4は絶縁保護膜としてそれぞれ用いている。また、P-SiN膜2、有機ポリマー膜3及びP-SiO<sub>2</sub>膜4から成る積層膜は層間絶縁膜を構成している。次に、スパッタ法により、P-SiO<sub>2</sub>膜4上にメタルマスクとなる膜厚が略50nmのWN(窒化タングステン)膜15を形成する。

【0022】次に、図1(b)に示すように、WN膜15上にフォトレジストを塗布した後、後述するようにビアホールを形成する形状にパターンニングされた第1のフォトレジスト膜5を形成する。

【0023】次に、図1(c)に示すように、第1のフォトレジスト膜5をマスクとして、塩素系ガスをを用いたドライエッチングにより、WN膜15を選択的に除去して第1のフォトレジスト膜5のパターンに応じた形状にパターンニングする。次に、等方性の酸素プラズマアッシング処理により、第1のフォトレジスト膜5を除去する。この第1のフォトレジスト膜5は、このパターンに応じた形状を既にWN膜15にパターンニングしてあるので、存在は不要となっている。このように、フォトレジスト膜5を等方性プラズマアッシング処理して除去することにより、フォトレジスト膜5の残渣の発生を防止することができるようになる。しかも、この等方性プラズマアッシング処理は、低誘電率膜である有機ポリマー膜3をささることなく行われる。

【0024】次に、図1(d)に示すように、WN膜15上にフォトレジストを塗布した後、後述するように上層配線用溝を形成する形状にパターンニングされた第2のフォトレジスト膜7を形成する。

【0025】次に、図1(e)に示すように、第2のフォトレジスト膜7をマスクとして、塩素系ガスをを用いたドライエッチングにより、WN膜15を膜厚の途中まで選択的に除去して第2のフォトレジスト膜7のパターンに応じた形状にパターンニングする。これにより、WN膜15に凸部16を形成する。この凸部16は、上層配線用溝を形成する形状にパターンニングされて開口径の大きいWN上段膜16Aと、ビアホールを形成する形状にパターンニングされて開口径の小さいWN下段膜16Bとから構成される。

【0026】次に、図1(f)に示すように、等方性の

酸素プラズマアッシング処理により、第2のフォトレジスト膜7を除去する。この第2のフォトレジスト膜7は、このパターンに応じた形状を既にWN膜15にパターンニングしてあるので、第1のフォトレジスト膜5と同様に、存在は不要となっている。このように、第2のフォトレジスト膜7を等方性プラズマアッシング処理して除去することにより、第1のフォトレジスト膜5の場合と同様に第2のフォトレジスト膜7の残渣の発生を防止することができるようになる。しかも、この等方性プラズマアッシング処理は、第1のフォトレジスト膜5の場合と同様に低誘電率膜である有機ポリマー膜3をさらすことなく行われる。

【0027】次に、図2(g)に示すように、WN膜15をマスクとして、ドライエッチングにより、P-SiO<sub>2</sub>膜4を選択的に除去する。次に、同WN膜15をマスクとして、酸素ベースのエッチングガスを用いたドライエッチングにより、有機ポリマー膜3を選択的に除去して、WN下段膜16Bのパターンに応じた形状にパターンニングして、ビアホールの一部となる幅がW1のホール6を形成する。この工程では、メタルマスクであるWN膜15に、前述のように除去した第1のフォトレジスト膜5の役割を担わせている。

【0028】次に、図2(h)に示すように、塩素系ガスをを用いたドライエッチングにより、WN膜15をエッチバックして凸部16のWN上段膜16Aを除去する。これにより、上層配線用溝を形成する形状となるように開口径が大きくパターンニングされたWN下段膜16Bのみが残される。

【0029】次に、図2(i)に示すように、WN下段膜16Bをマスクとして、ドライエッチングにより、P-SiO<sub>2</sub>膜4を選択的に除去する。次に、同WN下段膜16Bをマスクとして、酸素ベースのエッチングガスを用いたドライエッチングにより、有機ポリマー膜3を選択的に除去して、開口径が大きくパターンニングされたWN下段膜16Bのパターンに応じた形状にパターンニングして、幅がW2(>W1)で、ホール6よりも浅い上層配線用溝8を形成する。この工程では、メタルマスクであるWN下段膜16Bに、前述のように除去した第2のフォトレジスト膜7の役割を担わせている。

【0030】次に、図2(j)に示すように、プラズマエッチングにより、P-SiN膜2をエッチバックしてCu配線1を選択的に露出する。これにより、ホール6がCu配線1の表面まで延長されてビアホール9が形成される。

【0031】次に、図2(k)に示すように、イオン化スパッタ法により、上層配線用溝8及びビアホール9を含む全面にCu拡散バリア膜としてWN(窒化タングステン)膜10を形成する。

【0032】次に、図2(l)に示すように、スパッタ法により、WN膜10上に膜厚が略50nmのCuシ

ド膜11を形成した後、図3(m)に示すように、めっき法により、Cuシード膜11上に膜厚が略800nmのCuめっき膜12を形成する。

【0033】次に、図3(n)に示すように、CMP法により、P-SiO<sub>2</sub>膜4の表面から上部に形成されているCuめっき膜12、Cuシード膜11、WN膜10及びWN下段膜16Bを除去して平坦化する。これにより、上層配線用溝8及びビアホール9内にそれぞれCuめっき膜12を埋め込んで同時にCu上層配線13及びCuビアコンタクト14を形成して、デュアルダマシン配線構造を完成させる。このようにして形成されたデュアルダマシン配線構造は、従来の図8(k)に相当した構造を有している。

【0034】このように、この例の構成によれば、低誘電率膜を含む層間絶縁膜上にメタルマスクとなるWN膜15を形成した後、このWN膜15上にビアホールを形成する形状にパターンニングされた第1のフォトレジスト膜5及び上層配線用溝を形成する形状にパターンニングされた第2のフォトレジスト膜7を順次に形成し、WN膜15を第1及び第2のフォトレジスト膜5、7のパターンに応じた形状にパターンニングした後、このWN膜15をマスクとして用いて層間絶縁膜にビアホール及び上層配線用溝をパターンニングするので、このパターンニング時には第1及び第2のフォトレジスト膜5、7を不要とすることができる。したがって、ビアホール及び上層配線用溝を形成するために用いたそれぞれのフォトレジスト膜を除去する際に、低誘電率膜をプラズマアッシング処理にさらさないで良質なデュアルダマシン配線構造を形成することができる。

#### 【0035】◇第2実施例

図4～図6は、この発明の第2実施例である半導体装置の製造方法の構成を工程順に示す工程図である。この例の半導体装置の製造方法の構成が、上述した第1実施例の構成と大きく異なるところは、メタルマスクを2種類のメタルを積層して構成するようにした点である。以下、図4～図6を参照して、同半導体装置の製造方法について工程順に説明する。まず、図4(a)に示すように、半導体基板(図示せず)上に形成された下層配線としてのCu配線21上に、平行平板のプラズマCVD法により、膜厚が略50nmのP-SiN膜22を形成した後、回転塗布法により、P-SiN膜22上に膜厚が略800nmの有機ポリマー膜23を形成する。次に、窒素雰囲気中で、略400℃で略1時間、焼成処理を行う。次に、同プラズマCVD法により、有機ポリマー膜23上に膜厚が略100nmのP-SiO<sub>2</sub>膜24を形成する。ここで、P-SiN膜22はCu拡散バリア膜として、有機ポリマー膜23は低誘電率膜として、P-SiO<sub>2</sub>膜24は絶縁保護膜としてそれぞれ用いている。また、P-SiN膜22、有機ポリマー膜23及びP-SiO<sub>2</sub>膜24から成る積層膜は層間絶縁膜を構成



している。次に、スパッタ法により、P-SiO<sub>2</sub>膜24上に第1のメタルマスクとなる膜厚が略100nmのTa(タンタル)膜35、第2のメタルマスクとなる膜厚が略100nmのW(タングステン)膜37を順次に形成する。このように、この例ではメタルマスクを、Ta膜35とW膜37とを積層して構成する。

【0036】次に、図4(b)に示すように、W膜37上にフォトレジストを塗布した後、後述するようにビアホールを形成する形状にパターニングされた第1のフォトレジスト膜25を形成する。

【0037】次に、図4(c)に示すように、第1のフォトレジスト膜25をマスクとして、塩素系ガスを用いたドライエッチングにより、W膜37及びTa膜35を選択的に除去して第1のフォトレジスト膜25のパターンに応じた形状にパターニングする。次に、等方性の酸素プラズマアッシング処理及びウエット処理により、第1のフォトレジスト膜25を除去する。この第1のフォトレジスト膜25は、このパターンに応じた形状を既にW膜37及びTa膜35にパターニングしてあるので、存在は不要となっている。このように、フォトレジスト膜25を等方性プラズマアッシング処理して除去することにより、フォトレジスト膜25の残渣の発生を防止することができるようになる。しかも、この等方性プラズマアッシング処理は、低誘電率膜である有機ポリマー膜23をさらすことなく行われる。

【0038】次に、図4(d)に示すように、W膜37上にフォトレジストを塗布した後、後述するように上層配線用溝を形成する形状にパターニングされた第2のフォトレジスト膜27を形成する。

【0039】次に、図4(e)に示すように、第2のフォトレジスト膜27をマスクとして、ドライエッチングにより、W膜37を選択的に除去して第2のフォトレジスト膜27のパターンに応じた形状にパターニングする。これにより、凸部36を形成する。このドライエッチングは、Ta膜35との選択比のあるエッチング条件で行う。凸部36は、上層配線用溝を形成する形状にパターニングされて開口径の大きいW膜37と、ビアホールを形成する形状にパターニングされて開口径の小さいTa膜35とから構成される。

【0040】次に、図4(f)に示すように、等方性の酸素プラズマアッシング処理及びウエット処理により、第2のフォトレジスト膜27を除去する。この第2のフォトレジスト膜27は、このパターンに応じた形状を既にW膜37にパターニングしてあるので、第1のフォトレジスト膜25と同様に、存在は不要となっている。このように、第2のフォトレジスト膜27を等方性プラズマアッシング処理して除去することにより、第1のフォトレジスト膜25の場合と同様に第2のフォトレジスト膜27の残渣の発生を防止することができるようになる。しかも、この等方性プラズマアッシング処理は、第

1のフォトレジスト膜25の場合と同様に低誘電率膜である有機ポリマー膜23をさらすことなく行われる。

【0041】次に、図5(g)に示すように、Ta膜35をマスクとして、ドライエッチングにより、P-SiO<sub>2</sub>膜24を選択的に除去する。次に、同Ta膜35をマスクとして、酸素ベースのエッチングガスを用いたドライエッチングにより、有機ポリマー膜23を選択的に除去して、Ta膜35のパターンに応じた形状にパターニングして、ビアホールの一部となる幅がW1のホール26を形成する。

【0042】次に、図5(h)に示すように、W膜37をマスクとして、ドライエッチングにより、Ta膜35を選択的に除去する。このドライエッチングは、Ta膜35との選択比のあるエッチング条件で行う。次に、ドライエッチングにより、W膜37を除去する。これにより、Ta膜35は、上層配線用溝を形成する形状となるように開口径が大きくパターニングされて残される。

【0043】次に、図5(i)に示すように、Ta膜35をマスクとして、ドライエッチングにより、P-SiO<sub>2</sub>膜24を選択的に除去する。次に、同Ta膜35をマスクとして、酸素ベースのエッチングガスを用いたドライエッチングにより、有機ポリマー膜23を選択的に除去して、幅がW2(>W1)で、ホール26よりも浅い上層配線用溝28を形成する。

【0044】次に、図5(j)に示すように、プラズマエッチングにより、P-SiN膜22をエッチバックしてCu配線21を選択的に露出する。これにより、ホール26がCu配線21の表面まで延長されてビアホール29が形成される。

【0045】次に、図5(k)に示すように、イオン化スパッタ法により、上層配線用溝28及びビアホール29を含む全面にCu拡散バリア膜としてのTa<sub>2</sub>N(窒化タンタル)膜30を形成する。

【0046】次に、図5(l)に示すように、スパッタ法により、Ta<sub>2</sub>N膜30上に膜厚が略50nmのCuシード膜31を形成した後、図6(m)に示すように、めっき法により、Cuシード膜31上に膜厚が略800nmのCuめっき膜32を形成する。

【0047】次に、図6(n)に示すように、CMP法により、P-SiO<sub>2</sub>膜24の表面から上部に形成されているCuめっき膜32、Cuシード膜31、Ta<sub>2</sub>N膜30及びTa膜35を除去して平坦化する。これにより、上層配線用溝28及びビアホール29内にそれぞれCuめっき膜32を埋め込んで同時にCu上層配線33及びCuビアコンタクト34を形成して、デュアルダマシン配線構造を完成させる。このようにして形成されたデュアルダマシン配線構造は、第1実施例の図3(n)に相当した構造を有している。

【0048】このように、この例の構成によれば、第1実施例におけるWN膜15に代えて、Ta膜35及びW

10

20

30

40

50



膜37の積層体から成るメタルマスクを構成して、W膜37上にビアホールを形成する形状にパターンニングされた第1のフォトリソ膜25及び上層配線用溝を形成する形状にパターンニングされた第2のフォトリソ膜27を順次に形成し、Ta膜35を第1のフォトリソ膜25のパターンに応じた形状にパターンニングする一方、W膜37を第2のフォトリソ膜27のパターンに応じた形状にパターンニングした後、この積層体をマスクとして用いて低誘電率膜を含む層間絶縁膜にビアホール及び上層配線用溝をパターンニングするので、このパ

【0049】このように、この例の構成によっても、第1実施例において述べたのと略同様の効果を得ることができる。加えて、この例の構成によれば、2種類のメタルを積層して構成したメタルマスクを用いるので、選択エッチングによりメタルマスクを所望の形状にパターンニングできるので、メタルマスクのパターンニングが容易となる。

【0050】以上、この発明の実施例を図面により詳述してきたが、具体的な構成はこの実施例に限られるものではなく、この発明の要旨を逸脱しない範囲の設計の変更などがあってもこの発明に含まれる。例えば、デュアルダマシン配線構造は二層配線を形成する例で説明したが、上層配線上にさらに次の上層配線を形成してより多くの多層配線を形成することもできる。また、Cu配線はCuに微量の他の導電材料が含まれていても、実質的にCuを主成分とする構成になっていれば、同様に適用することができる。

【0051】また、メタルマスクの構成材料としては、実施例で用いたものに限らずに、Ta<sub>2</sub>N（窒化タンタル）、Ti（チタン）、TiN（窒化チタン）又はWSi（タングステンシリサイド）等の他の材料を用いることができる。また、Cu拡散バリア膜の構成材料としては、実施例で用いたものに限らずに、P-SiC（プラズマ炭化シリコン）等の他の材料を用いることができる。

【0052】また、低誘電率膜の構成材料としては、実施例で用いたものに限らずに、HSQ、有機SOG又はポーラスシリカ等の他の材料を用いることができる。また、絶縁保護膜の構成材料として、実施例で用いたものに限らずに、P-SiN（プラズマ窒化シリコン）、P-SiON（プラズマ酸窒化シリコン）又はP-SiC（プラズマ炭化シリコン）等の他の材料を用いることができる。また、各絶縁膜、各導電膜等の膜厚、形成手段等の条件は一例を示したものであり、必要に応じて変更することができる。

【0053】

【発明の効果】以上説明したように、この発明の半導体装置の製造方法によれば、低誘電率膜を含む層間絶縁膜

上にメタルマスクを形成した後、このメタルマスク上にビアホールを形成する形状にパターンニングされた第1のフォトリソ膜及び上層配線用溝を形成する形状にパターンニングされた第2のフォトリソ膜を順次に形成し、メタルマスクを第1及び第2のフォトリソ膜のパターンに応じた形状にパターンニングした後、このメタルマスクを用いて層間絶縁膜にビアホール及び上層配線用溝をパターンニングするので、このパターンニング時には第1及び第2のフォトリソ膜を不要とすることができる。また、この発明の他の構成の半導体装置の製造方法によれば、低誘電率膜を含む層間絶縁膜上に第1のメタル及び第2のメタルの積層体から成るメタルマスクを形成した後、このメタルマスク上にビアホールを形成する形状にパターンニングされた第1のフォトリソ膜及び上層配線用溝を形成する形状にパターンニングされた第2のフォトリソ膜を順次に形成し、第1のメタルを第1のフォトリソ膜のパターンに応じた形状にパターンニングする一方、第2のメタルを第2のフォトリソ膜のパターンに応じた形状にパターンニングした後、この積層体をマスクとして用いて層間絶縁膜にビアホール及び上層配線用溝をパターンニングするので、このパターンニング時には第1及び第2のフォトリソ膜を不要とすることができる。したがって、ビアホール及び上層配線用溝を形成するために用いたそれぞれのフォトリソ膜を除去する際に、低誘電率膜をプラズマアッシング処理にさらさないで良質なデュアルダマシン配線構造を形成することができる。

【図面の簡単な説明】

【図1】この発明の第1実施例である半導体装置の製造方法の構成を工程順に示す工程図である。

【図2】同半導体装置の製造方法の構成を工程順に示す工程図である。

【図3】同半導体装置の製造方法の構成を工程順に示す工程図である。

【図4】この発明の第2実施例である半導体装置の製造方法の構成を工程順に示す工程図である。

【図5】同半導体装置の製造方法の構成を工程順に示す工程図である。

【図6】同半導体装置の製造方法の構成を工程順に示す工程図である。

【図7】従来の半導体装置の製造方法の構成を工程順に示す工程図である。

【図8】同半導体装置の製造方法の構成を工程順に示す工程図である。

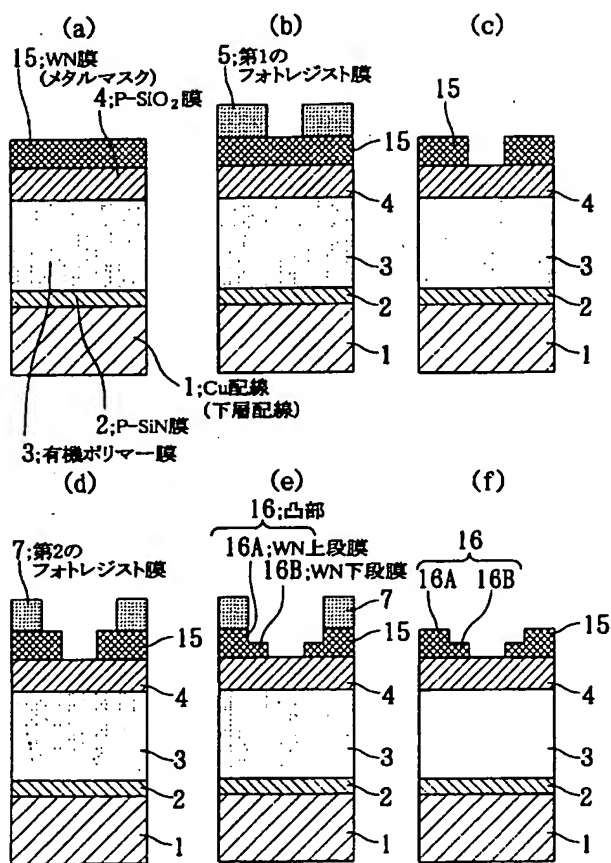
【符号の説明】

- |      |                             |
|------|-----------------------------|
| 1、21 | Cu配線（下層配線）                  |
| 2、22 | P-SiN膜（Cu拡散バリア膜）            |
| 3、23 | 有機ポリマー膜（低誘電率膜）              |
| 4、24 | P-SiO <sub>2</sub> 膜（絶縁保護膜） |
| 5、25 | 第1のフォトリソ膜                   |

15

- 6、26 ホール  
 7、27 第2のフォトリソ膜  
 8、28 上層配線用溝  
 9、29 ビアホール  
 10 WN膜 (Cu拡散バリア膜)  
 11、31 Cuシード膜  
 12、32 Cuめっき膜  
 13、33 Cu上層配線

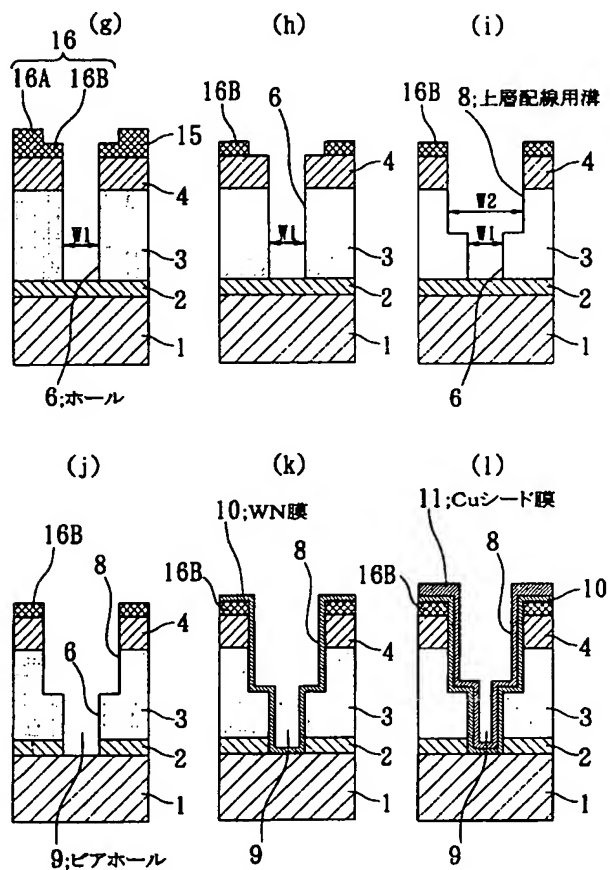
【図1】



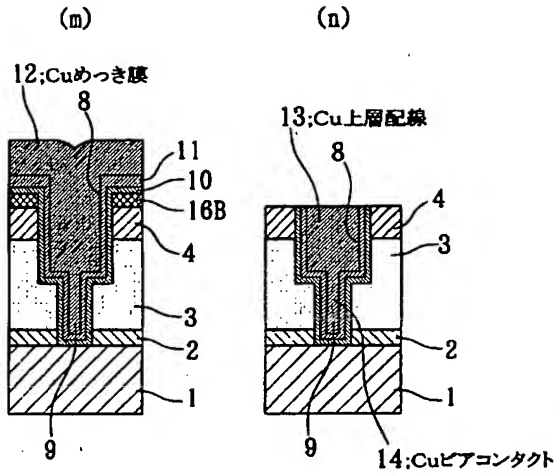
16

- 14、34 Cuビアコンタクト  
 15 WN膜 (メタルマスク)  
 16、36 凸部  
 16A WN上段膜  
 16B WN下段膜  
 30 TaN膜 (Cu拡散バリア膜)  
 35 Ta膜 (第1のメタルマスク)  
 37 W膜 (第2のメタルマスク)

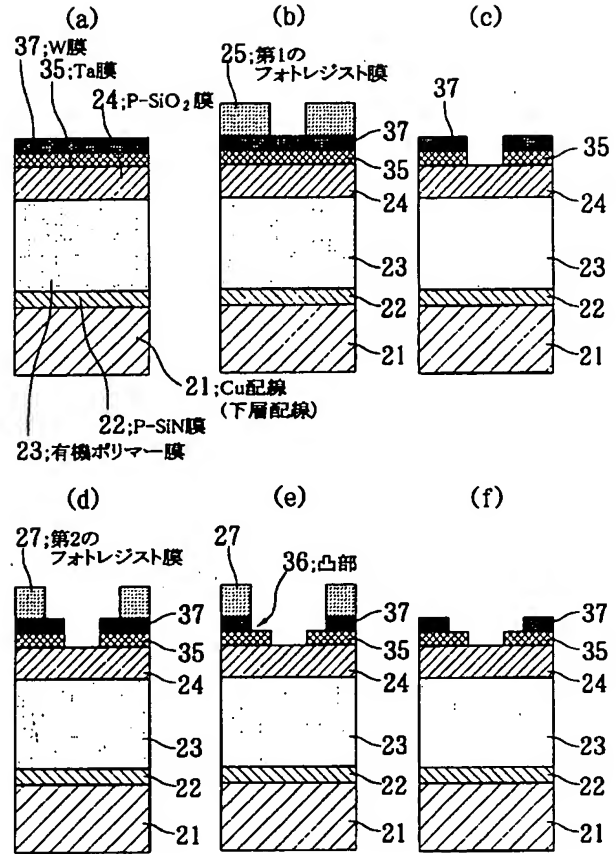
【図2】



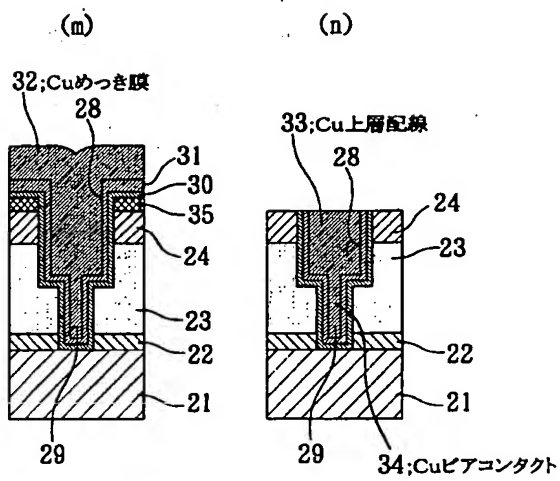
【図3】



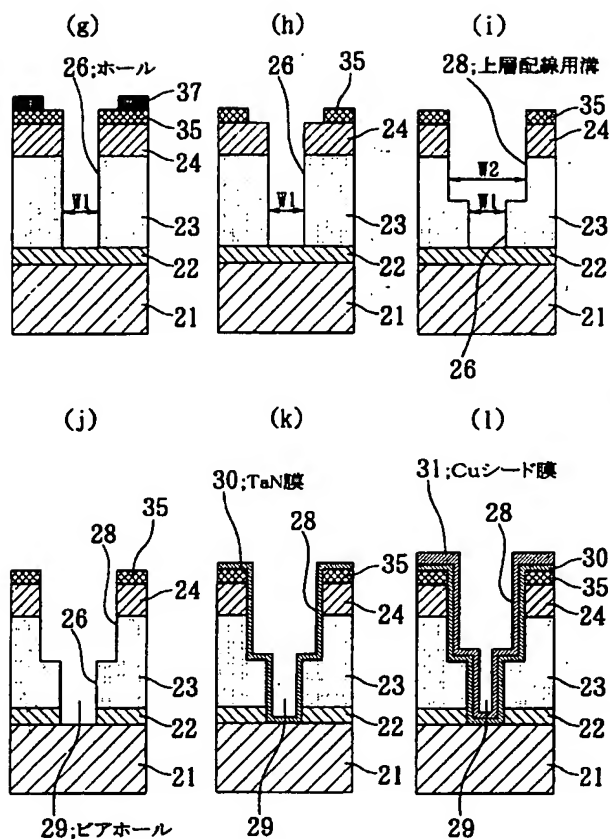
【図4】



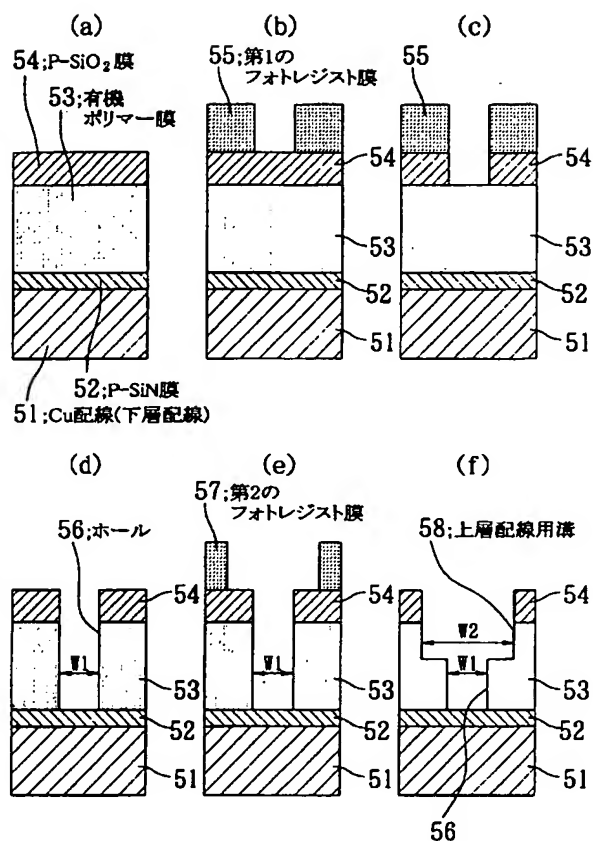
【図6】



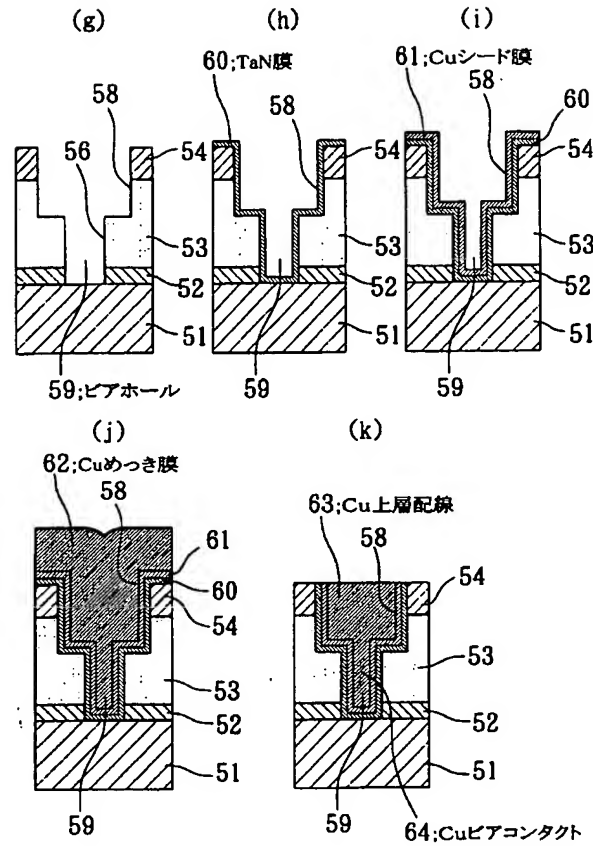
【図5】



【図7】



【図8】



フロントページの続き

Fターム(参考) 5F033 HH11 HH12 HH32 HH34 JJ11  
 JJ12 JJ32 JJ34 KK11 KK12  
 MM02 MM12 MM13 NN06 NN07  
 PP15 PP27 PP28 QQ08 QQ09  
 QQ11 QQ27 QQ37 QQ48 RR04  
 RR06 RR08 RR21 RR25 SS15  
 SS21 TT04 XX21 XX24